

# 明德扬科技教育有限公司

## 第一个测试文件练习

官 网：[www.mdy-edu.com](http://www.mdy-edu.com)

淘 宝：[mdy-edu.taobao.com](http://mdy-edu.taobao.com)

QQ 群：97925396

QQ 咨询：158063679

## 目录

|                    |   |
|--------------------|---|
| testbench1 模块..... | 3 |
|--------------------|---|

明德扬点拔FPGA课程

明德扬科技公司主要是以 FPGA 为核心,专业从事 FPGA 配套视频开发板教程、FPGA 培训班或其他培训、研发 FPGA 技术开发、承接 FPGA 项目开发。欢迎咨询加入明德扬 FPGA 和 ASIC 交流群 97925396。

明德扬以 PDF 格式提供源代码,是为了鼓励大家多思考,不要拿来就用,否则是学不好 FPGA 的。

本代码对应的设计思路,请参考明德扬视频课程。

## testbench1 模块

```
`timescale 1 ns/1 ns

module testbench1();

//时钟和复位
reg clk ;
reg rst_n;

//uut 的输入信号
reg enable ;
reg datain ;

//uut 的输出信号
wire f ;

//时钟周期, 单位为 ns, 可在此修改时钟周期。
parameter CYCLE = 20;

//复位时间, 此时表示复位 3 个时钟周期的时间。
parameter RST_TIME = 3 ;

//待测试的模块例化
verilog4 u_verilog4(
    .clk (clk ),
    .rst_n (rst_n ),
    .enable (enable),
    .datain (datain),
```

```
.f          (f      )
);

//生成本地时钟 50M
initial begin
    clk = 0;
    forever
        #(CYCLE/2)
        clk=~clk;
end

//产生复位信号
initial begin
    rst_n = 1;
    #2;
    rst_n = 0;
    #(CYCLE*RST_TIME);
    rst_n = 1;
end

//enable
initial begin
    #1;
    enable = 0;
    #(CYCLE*RST_TIME);
    #(10*CYCLE)
    enable = 1;
end

//datain
initial begin
    #1;
    datain = 0;
    #(CYCLE*RST_TIME);
    #(CYCLE);
    datain = 1;
    #(CYCLE);
    datain = 0;
    #(CYCLE);
    datain = 1;
    #(CYCLE);
    datain = 0;
    #(2*CYCLE);
    datain = 1;
```

```
#(2*CYCLE);  
datain = 0;  
#(CYCLE);  
datain = 1;  
#(CYCLE);  
datain = 0;  
#(CYCLE);  
datain = 1;  
#(CYCLE);  
datain = 0;  
#(CYCLE);  
datain = 1;  
#(CYCLE);  
datain = 0;  
  
end  
  
endmodule
```

明德扬点拔FPGA课程