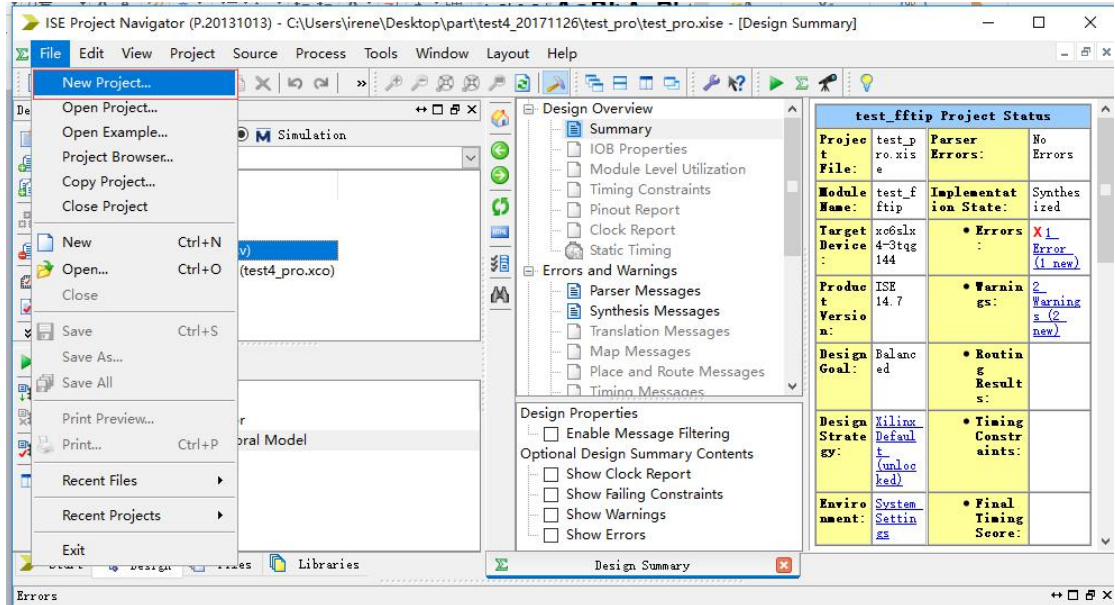


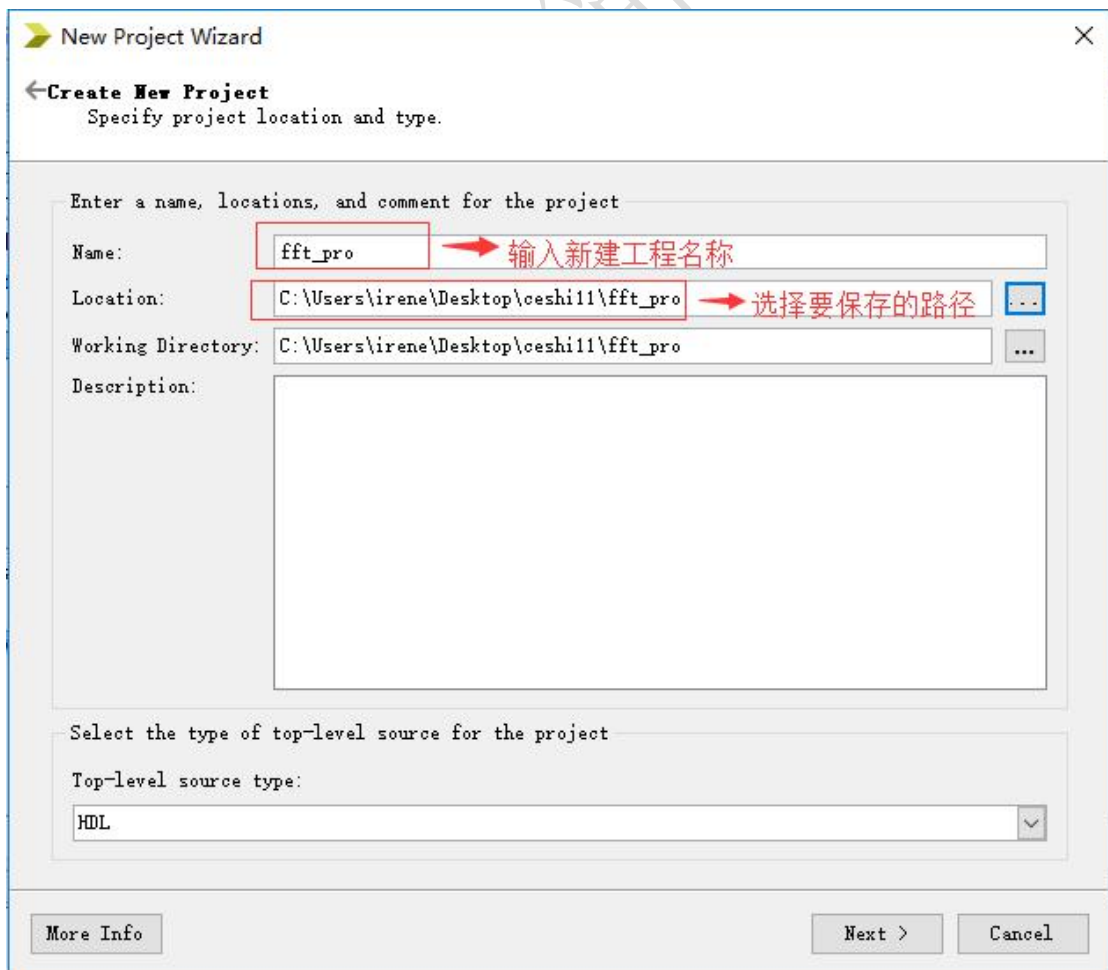
Xilinx 仿真库编译

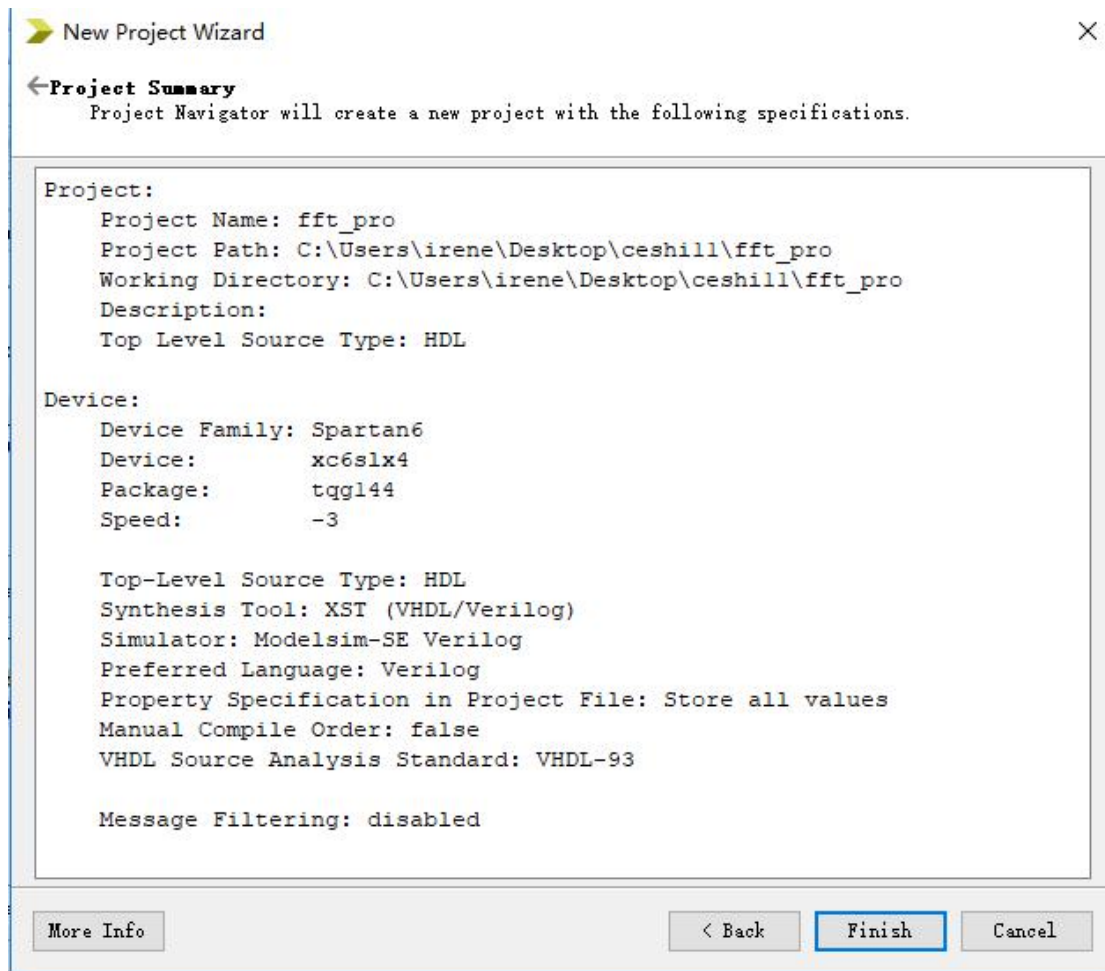
1、ISE 新建工程

点击 New Project



输入新建工程名称、选择要保存的路径

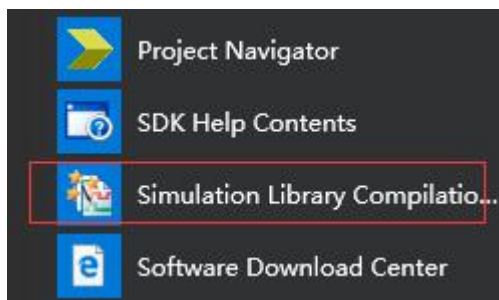




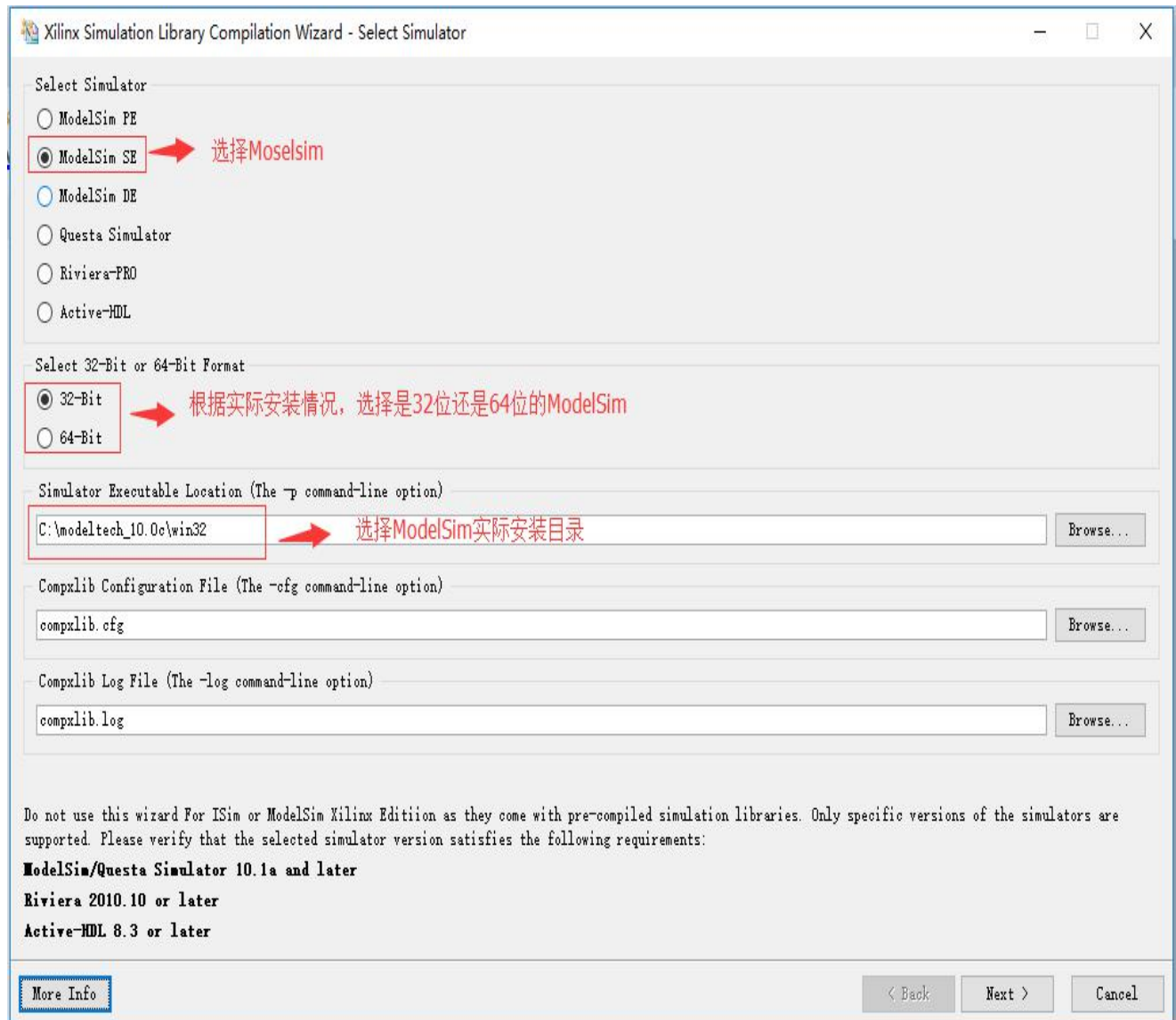
点击 Finish，完成新建工程。

2、Xilinx 仿真库编译

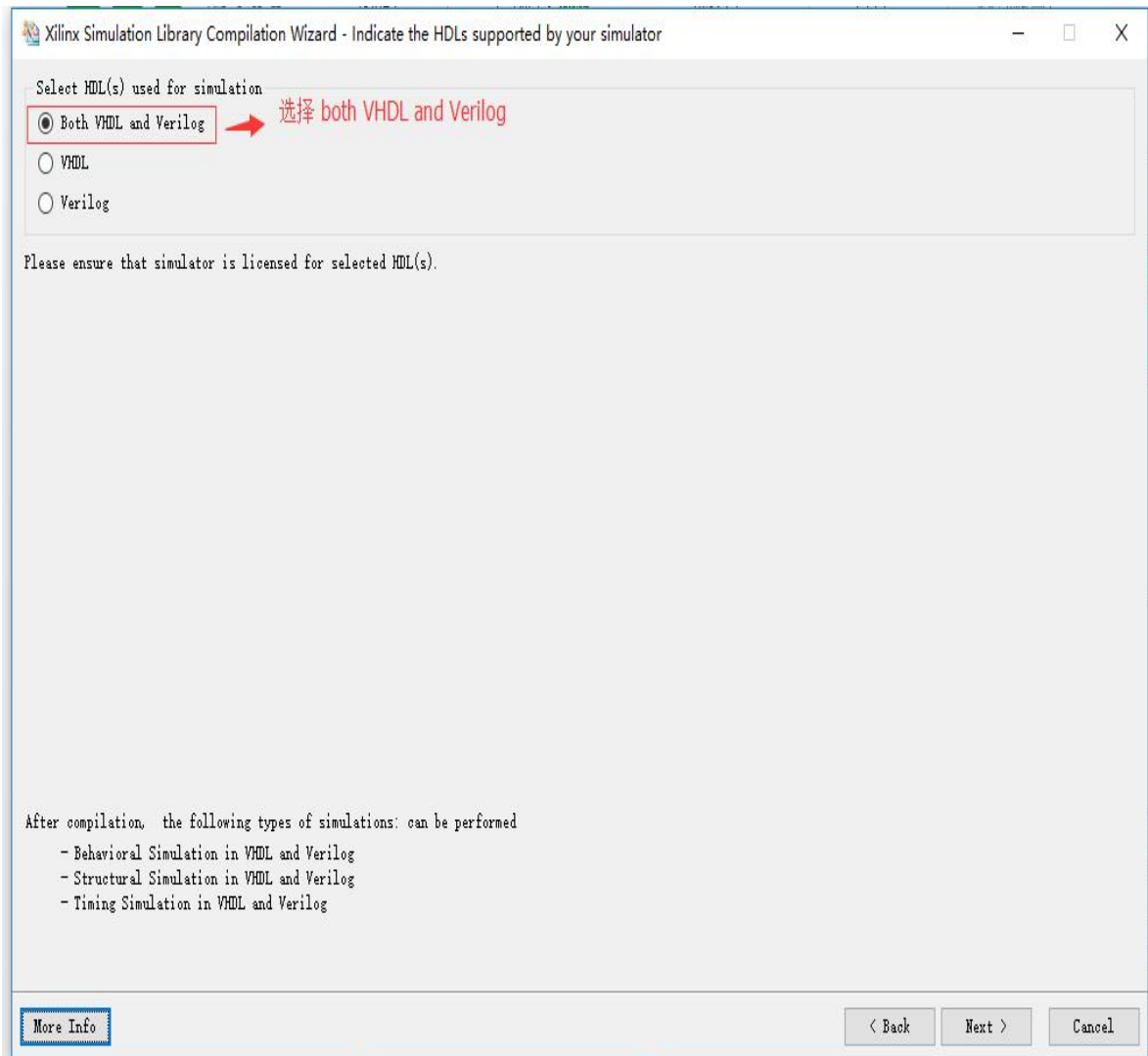
开始-》所有程序-》xilinx design tools-》simulation library compilation wizard。路径可能不同，只要找到 simulation library compilation wizard 并打开即可。



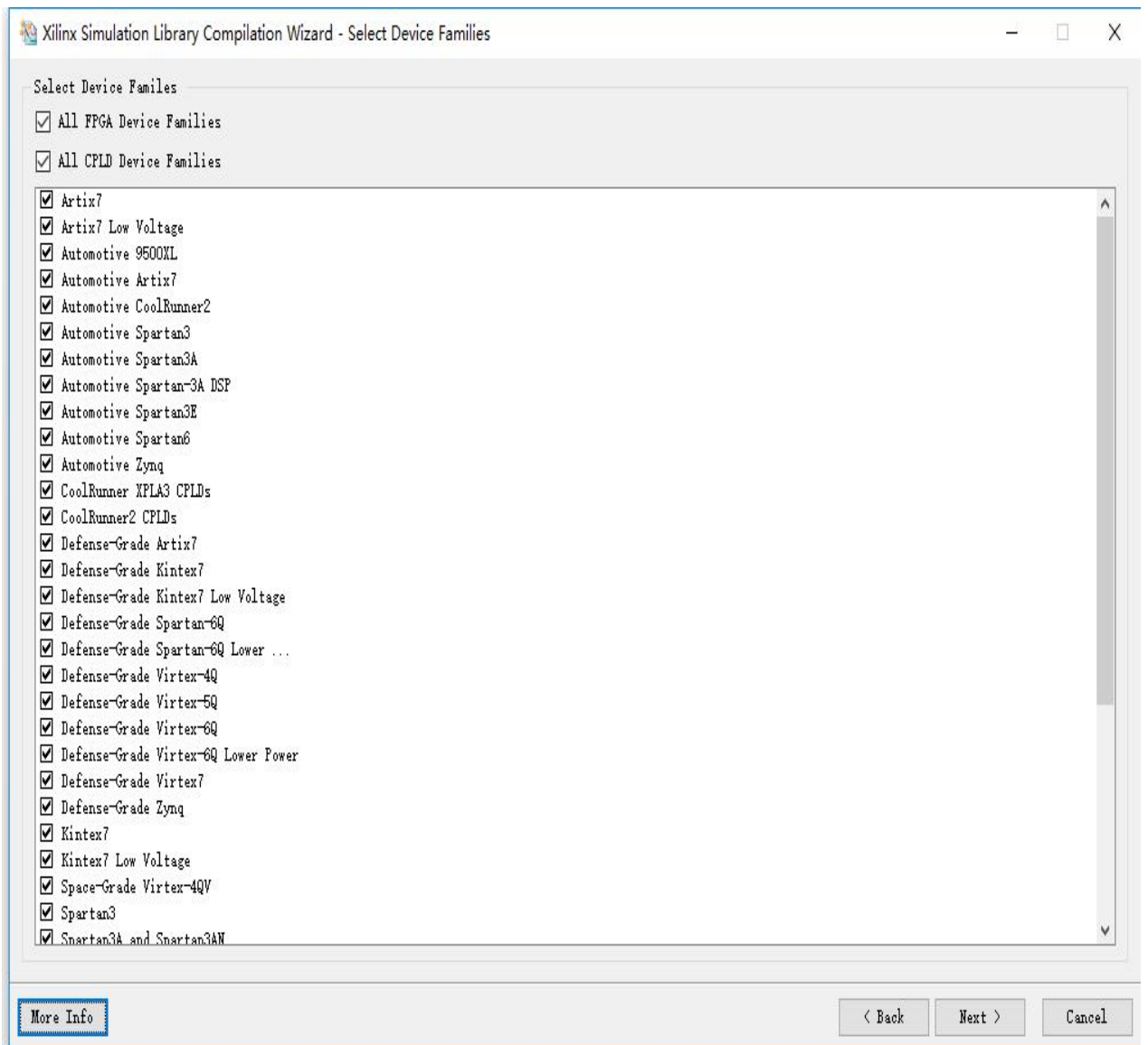
打开后选择相关的配置项： select simulator 选择 modelsim SE； 我的电脑是 32 位， 所以选择 32 位； simulator executable location 中填入 modelsim 所在的路径， 即安装目录下可执行文件 modelsim.exe 所在的路径， 其它不用做修改， 点击 next。



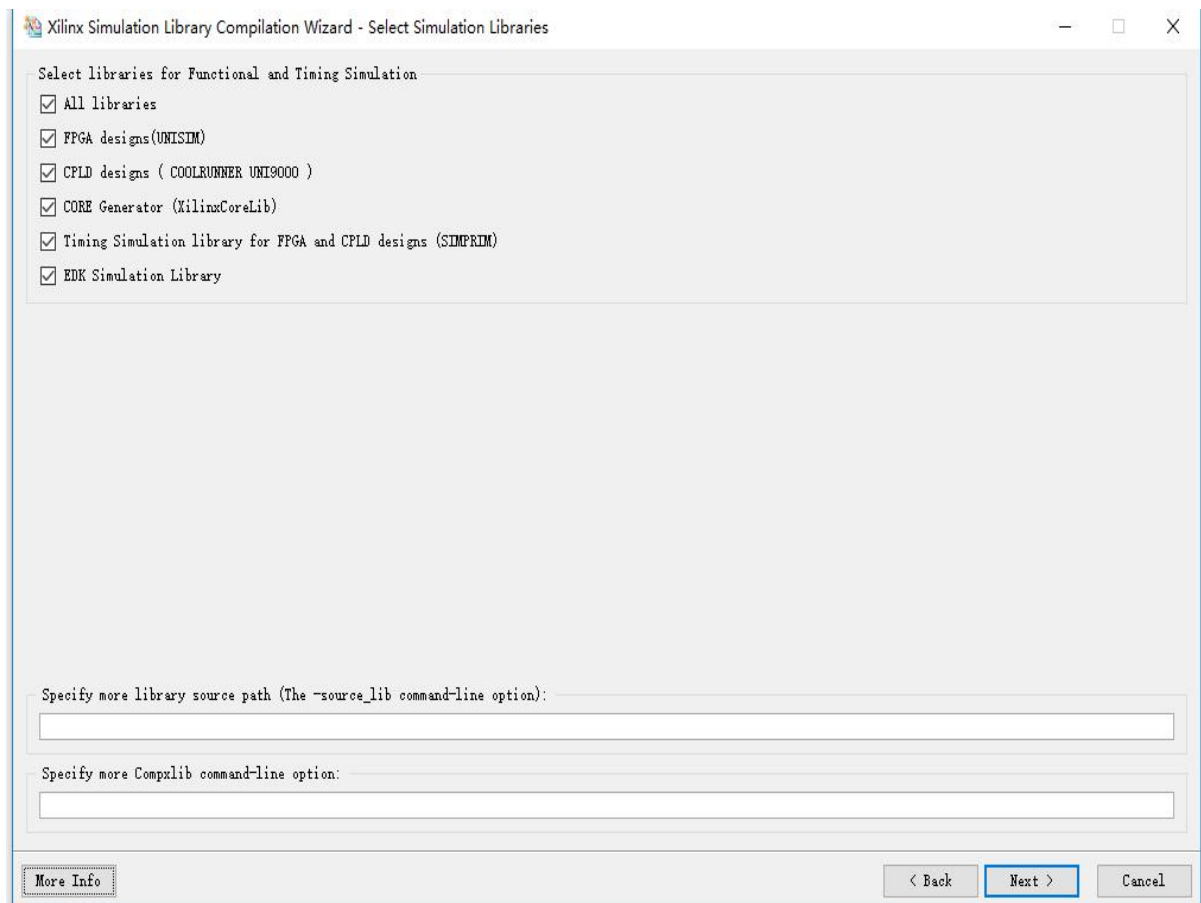
选择语言，选择 Both VHDL and Verilog， 点击 next。



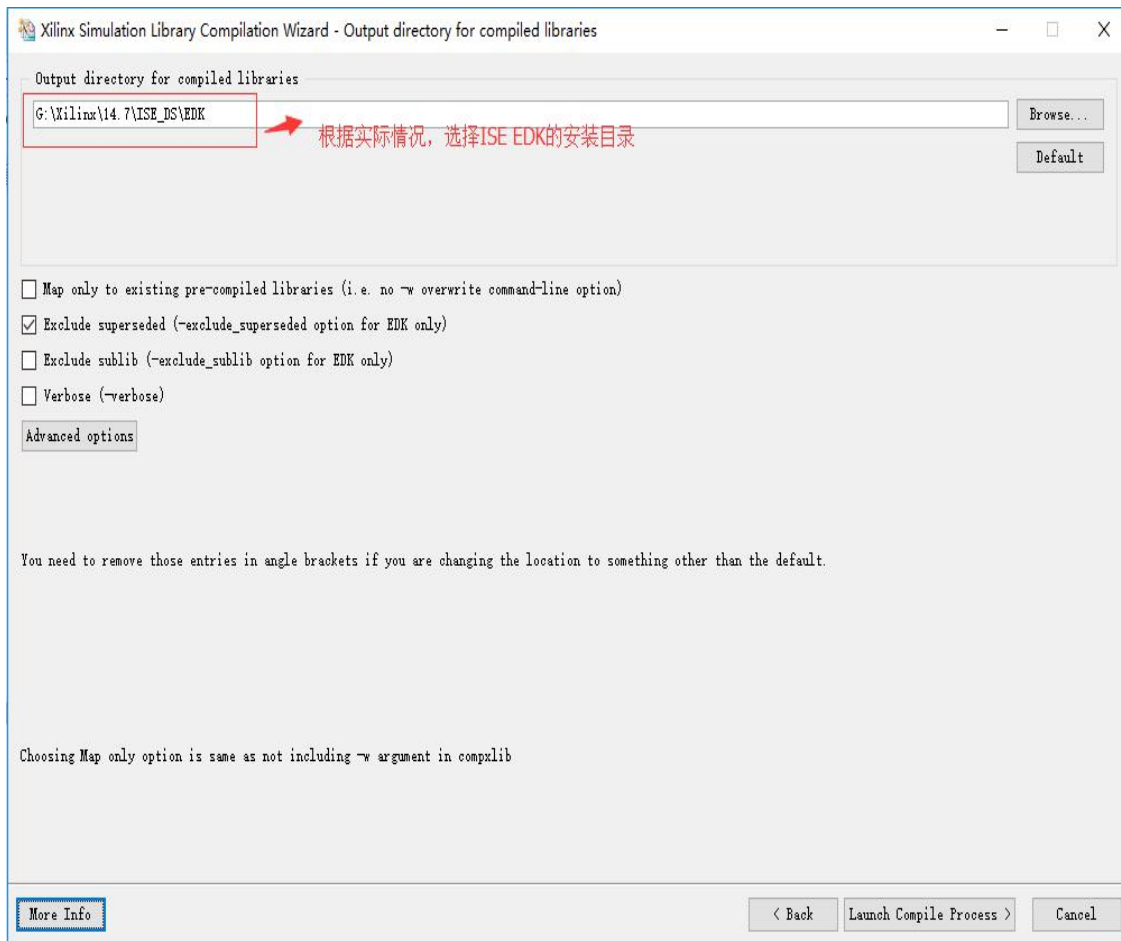
不做修改，选择全部器件，点击 next。



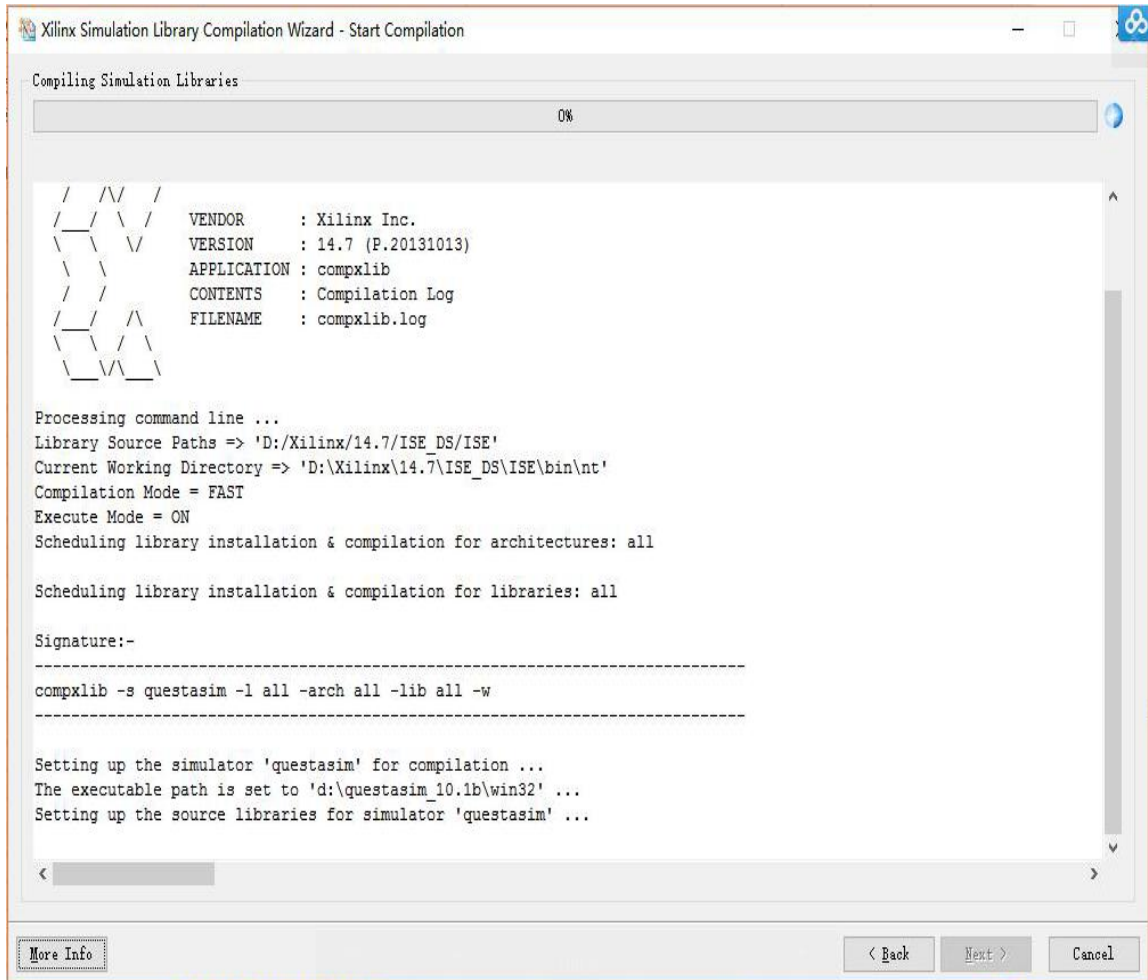
直接点击 next。



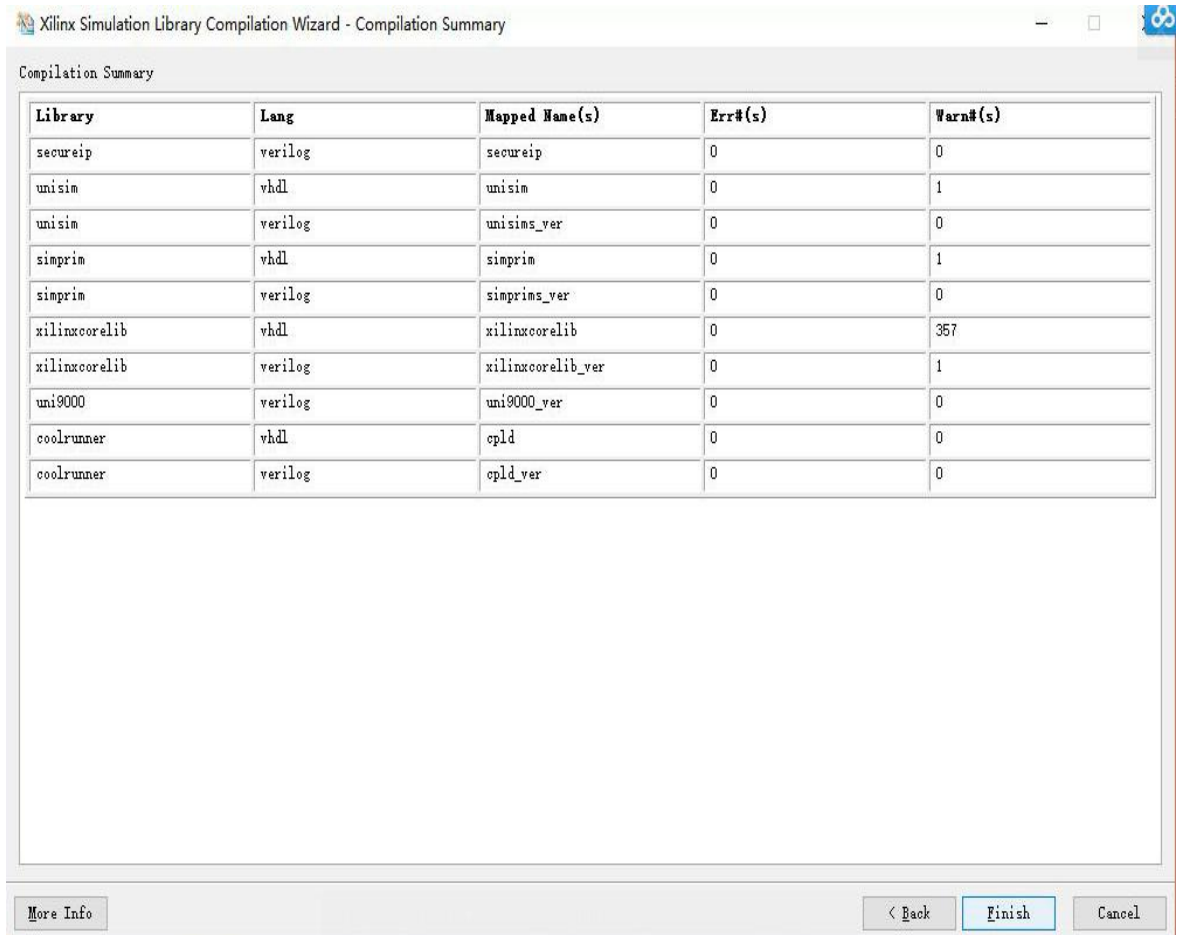
根据安装实际情况，指定输出仿真库文件目录到 EDK 文件夹下，
G:\Xilinx\14.7\ISE_DS\EDK，然后点击 launch compile process 自动生成仿真库



明德扬至



明德扬



点击“Finish”，完成 Xilinx 仿真库的编译，直接去输出仿真库的路径下可以找到 modelsim.ini 文件。

文件夹	.install	2017/11/15 16:23	文件夹	
文件夹	bin	2017/11/15 16:09	文件夹	
文件夹	board	2017/11/15 16:00	文件夹	
文件夹	cpld	2017/11/22 17:46	文件夹	
文件夹	cpld_ver	2017/11/22 17:46	文件夹	
文件夹	data	2017/11/15 16:22	文件夹	
文件夹	doc	2017/11/15 15:59	文件夹	
文件夹	eclipse	2017/11/15 15:59	文件夹	
文件夹	edk	2017/11/22 18:08	文件夹	
文件夹	gnu	2017/11/15 15:59	文件夹	
文件夹	gnuwin	2017/11/15 16:20	文件夹	
文件夹	hw	2017/11/15 16:00	文件夹	
文件夹	lib	2017/11/15 16:00	文件夹	
文件夹	msg	2017/11/15 16:00	文件夹	
文件夹	secureip	2017/11/22 17:19	文件夹	
文件夹	simprim	2017/11/22 17:31	文件夹	
文件夹	simprim_ver	2017/11/22 17:33	文件夹	
文件夹	sw	2017/11/15 15:59	文件夹	
文件夹	third_party	2017/11/15 16:07	文件夹	
文件夹	uni9000_ver	2017/11/22 17:46	文件夹	
文件夹	unimacro	2017/11/22 17:23	文件夹	
文件夹	unimacro_ver	2017/11/22 17:27	文件夹	
文件夹	unisim	2017/11/22 17:24	文件夹	
文件夹	unisims_ver	2017/11/22 17:27	文件夹	
文件夹	xilinxcorelib	2017/11/22 17:44	文件夹	
文件夹	xilinxcorelib_ver	2017/11/22 17:45	文件夹	
文件	.compedklib_ise_info	2017/11/22 17:46	COMPEDKLIB_IS...	1 KB
文件	.cxl.mti_se.nt.cmd	2017/11/22 18:08	Windows 命令脚本	94 KB
文件	fileset.txt	2017/11/15 16:23	文本文档	1 KB
文件	modelsim.ini	2017/11/22 18:08	配置设置	86 KB

使用记事本或其他文本编辑器打开 modelsim.ini 文件, 先找到这个 library 项。

```

1 : Copyright 1991-2011 Mentor Graphics Corporation
2 :
3 : All Rights Reserved.
4 :
5 : THIS WORK CONTAINS TRADE SECRET AND PROPRIETARY INFORMATION WHICH IS THE
  PROPERTY OF
6 : MENTOR GRAPHICS CORPORATION OR ITS LICENSORS AND IS SUBJECT TO LICENSE T
  RMS.
7 :
8 :
9 [Library]
10 others = $MODEL_TECH/./modelsim.ini
11 :

```

接着往后看, 找到这段代码, 这是 modelsim 仿真库的配置路径, 复制这段代码

```

47 secureip = G:\Xilinx\14.7\ISE_DS\EDK/secureip
48 unisim = G:\Xilinx\14.7\ISE_DS\EDK/unisim
49 unimacro = G:\Xilinx\14.7\ISE_DS\EDK/unimacro
50 unisims_ver = G:\Xilinx\14.7\ISE_DS\EDK/unisims_ver
51 unimacro_ver = G:\Xilinx\14.7\ISE_DS\EDK/unimacro_ver
52 simprim = G:\Xilinx\14.7\ISE_DS\EDK/simprim
53 simprims_ver = G:\Xilinx\14.7\ISE_DS\EDK/simprims_ver
54 xilinxcorelib = G:\Xilinx\14.7\ISE_DS\EDK/xilinxcorelib
55 xilinxcorelib_ver = G:\Xilinx\14.7\ISE_DS\EDK/xilinxcorelib_ver
56 uni9000_ver = G:\Xilinx\14.7\ISE_DS\EDK/uni9000_ver
57 cpld = G:\Xilinx\14.7\ISE_DS\EDK/cpld
58 cpld_ver = G:\Xilinx\14.7\ISE_DS\EDK/cpld_ver
59 edk = G:\Xilinx\14.7\ISE_DS\EDK/edk

```

去到 modelsim 安装路径下，找到 modelsim.ini 文件。



ieeepure	2017/10/12 12:29	文件夹	
include	2017/10/12 12:29	文件夹	
mc2_lib	2017/10/12 12:29	文件夹	
modelsim_lib	2017/10/12 12:29	文件夹	
ovm-2.0.3	2017/10/12 12:29	文件夹	
ovm-2.1.1	2017/10/12 12:29	文件夹	
ovm-2.1.2	2017/10/12 12:29	文件夹	
pa_lib	2017/10/12 12:29	文件夹	
perl_src	2017/10/12 12:29	文件夹	
std	2017/10/12 12:29	文件夹	
std_developerskit	2017/10/12 12:29	文件夹	
sv_std	2017/10/12 12:29	文件夹	
synopsys	2017/10/12 12:29	文件夹	
tcl	2017/10/12 12:29	文件夹	
upf_lib	2017/10/12 12:29	文件夹	
upf_src	2017/10/12 12:29	文件夹	
uvm_reg-1.1	2017/10/12 12:29	文件夹	
uvm-1.0-EA	2017/10/12 12:29	文件夹	
uvm-1.0p1	2017/10/12 12:29	文件夹	
uvm-1.1	2017/10/12 12:29	文件夹	
verilog	2017/10/12 12:29	文件夹	
verilog_src	2017/10/12 12:28	文件夹	
vhdl_src	2017/10/12 12:28	文件夹	
vital2.2b	2017/10/12 12:29	文件夹	
vital1995	2017/10/12 12:29	文件夹	
vital2000	2017/10/12 12:29	文件夹	
vm_src	2017/10/12 12:29	文件夹	
win32	2017/10/12 13:48	文件夹	
.default_vopt_flow_on	2011/7/22 14:02	DEFAULT_VOPT_...	1 KB
LICENSE	2011/7/22 14:02	文件	27 KB
LICENSE.TXT	2017/10/12 13:49	文本文档	465 KB
modelsim.ini	2017/11/28 17:25	配置设置	71 KB
modelsim.ini~	2011/7/22 14:02	INI~ 文件	69 KB
RELEASE_NOTES	2011/7/22 17:37	文件	62 KB
RELEASE_NOTES.html	2011/7/22 17:37	360 Chrome HT...	62 KB
RELEASE_NOTES.txt	2011/7/22 17:37	文本文档	63 KB
vco	2011/7/22 14:02	文件	8 KB

使用记事本或其他文本编辑器打开 modelsim.ini 文件，找到其中的 library 项。

```

1 : Copyright 1991-2011 Mentor Graphics Corporation
2 :
3 : All Rights Reserved.
4 :
5 : THIS WORK CONTAINS TRADE SECRET AND PROPRIETARY INFORMATION WHICH IS THE
PROPERTY OF
6 : MENTOR GRAPHICS CORPORATION OR ITS LICENSORS AND IS SUBJECT TO LICENSE TE
RMS.
7 :
8 :
9 [Library]
10 std = $MODEL_TECH/./std
11 iee = $MODEL_TECH/./iee
12 vital2000 = $MODEL_TECH/./vital2000

```

在后面粘贴前面复制的内容。

```

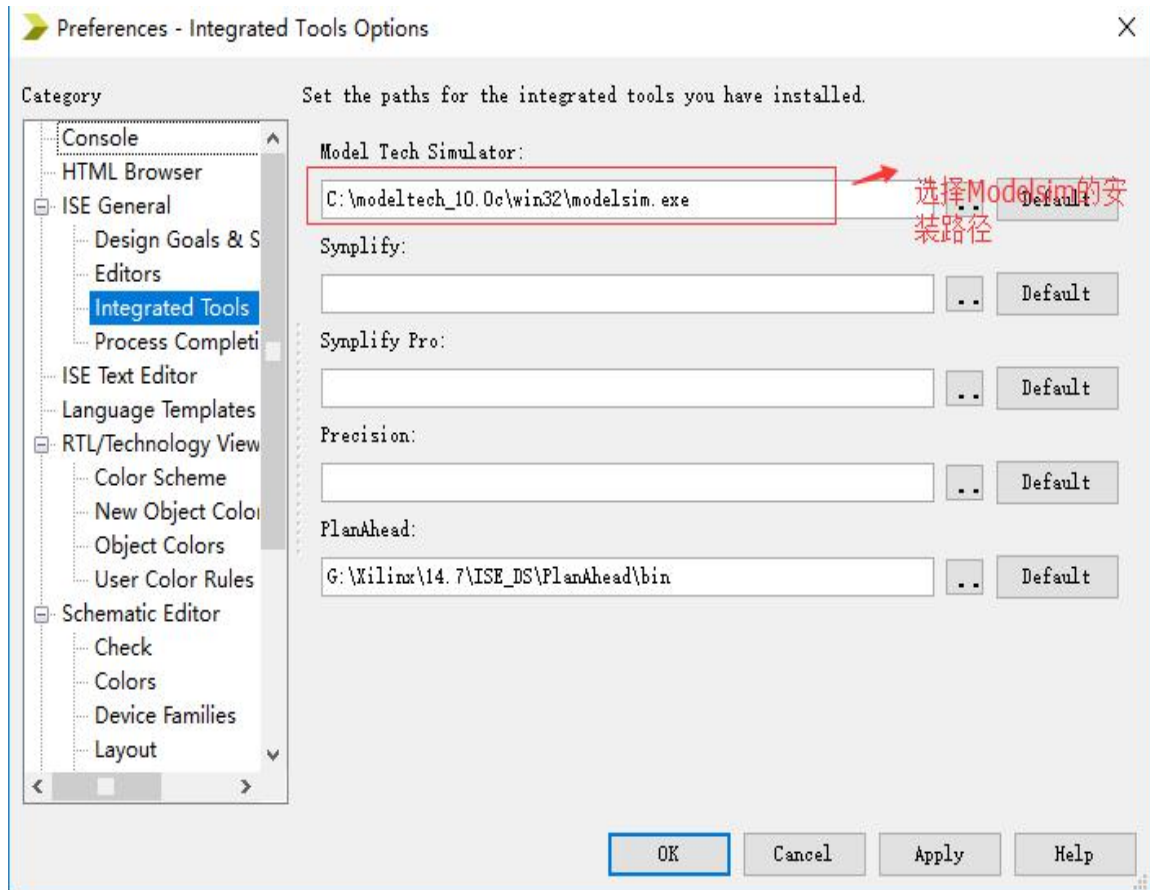
55 floatfixlib = $MODEL_TECH/./floatfixlib
56 mc2_lib = $MODEL_TECH/./mc2_lib
57 vhd_psl_checkers = $MODEL_TECH/./vhd_psl_checkers // Source files only for this release
58 verilog_psl_checkers = $MODEL_TECH/./verilog_psl_checkers // Source files only for this release
59 mvc_lib = $MODEL_TECH/./mvc_lib
60
61 secureip = G:\Xilinx\14.7\ISE_DS\ISE\verilog\mti_se/10.0c/nt/secureip
62 unisim = G:\Xilinx\14.7\ISE_DS\EDK\unisim
63 unimacro = G:\Xilinx\14.7\ISE_DS\EDK\unimacro
64 unisims_ver = G:\Xilinx\14.7\ISE_DS\ISE\verilog\mti_se/10.0c/nt/unisims_ver
65 unimacro_ver = G:\Xilinx\14.7\ISE_DS\ISE\verilog\mti_se/10.0c/nt/unimacro_ver
66 simprim = G:\Xilinx\14.7\ISE_DS\EDK\simprim
67 simprims_ver = G:\Xilinx\14.7\ISE_DS\ISE\verilog\mti_se/10.0c/nt/simprims_ver
68 xilinxcorelib = G:\Xilinx\14.7\ISE_DS\EDK\xilinxcorelib
69 xilinxcorelib_ver = G:\Xilinx\14.7\ISE_DS\ISE\verilog\mti_se/10.0c/nt/xilinxcorelib_ver
70 uni9000_ver = G:\Xilinx\14.7\ISE_DS\EDK\uni9000_ver
71 cpld = G:\Xilinx\14.7\ISE_DS\EDK\cpld
72 cpld_ver = G:\Xilinx\14.7\ISE_DS\EDK\cpld_ver
73 edk = G:\Xilinx\14.7\ISE_DS\EDK\edk
74
75
76 [vcom]
77 ; VHDL93 variable selects language version as the default.
78 ; Default is VHDL-2002.
79 ; Value of 0 or 1987 for VHDL-1987.
80 ; Value of 1 or 1993 for VHDL-1993.
81 ; Default or value of 2 or 2002 for VHDL-2002.
82 ; Value of 3 or 2008 for VHDL-2008
83 VHDL93 = 2002

```

粘贴从ISE EDK modelsim.ini复制过来的内容

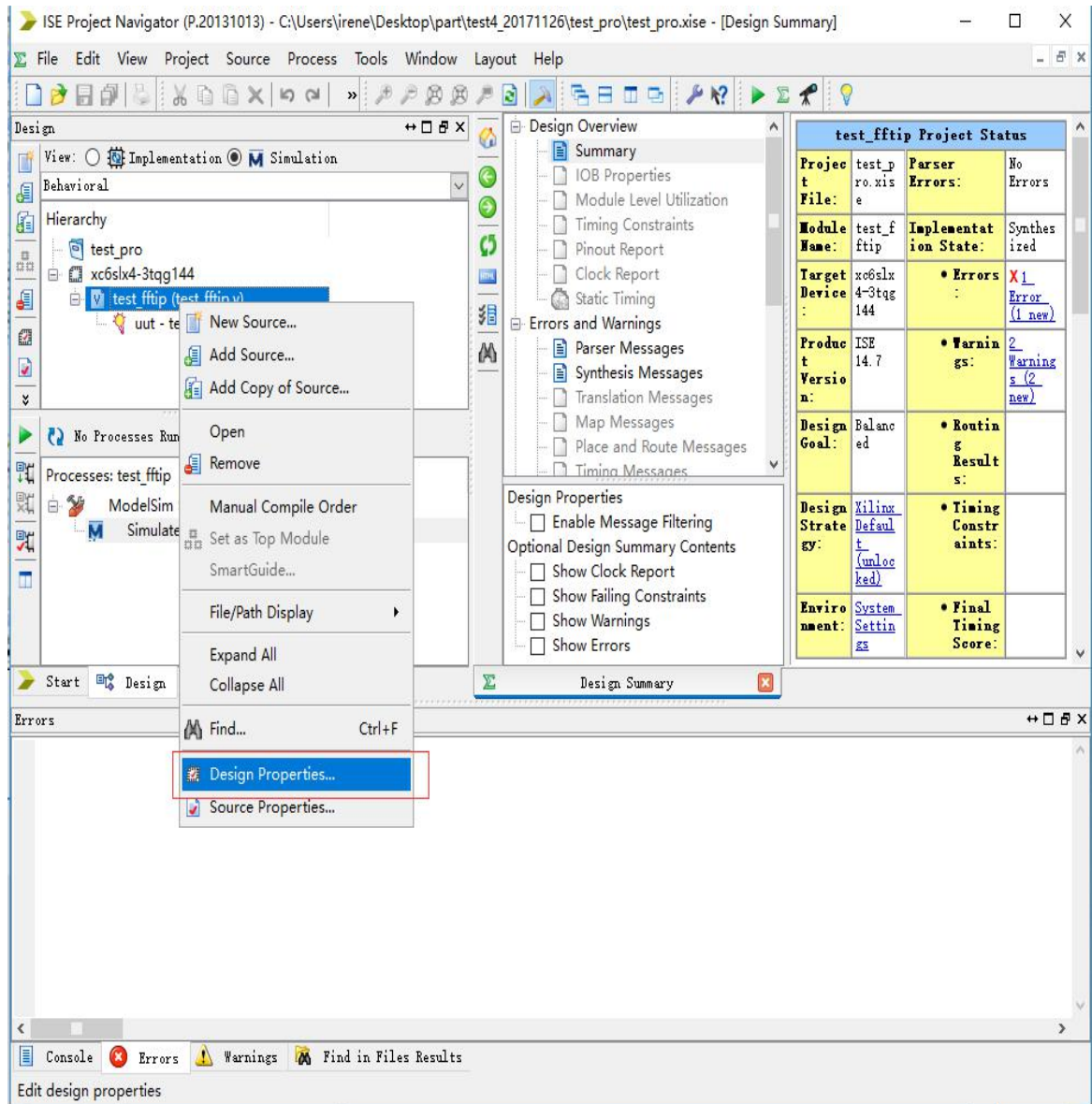
打开 ISE 软件，进行 modelsim 连接配置

打开 edit-» preference -» integrated tools, model tech simulator 选择 modelsim.exe 所在路径。

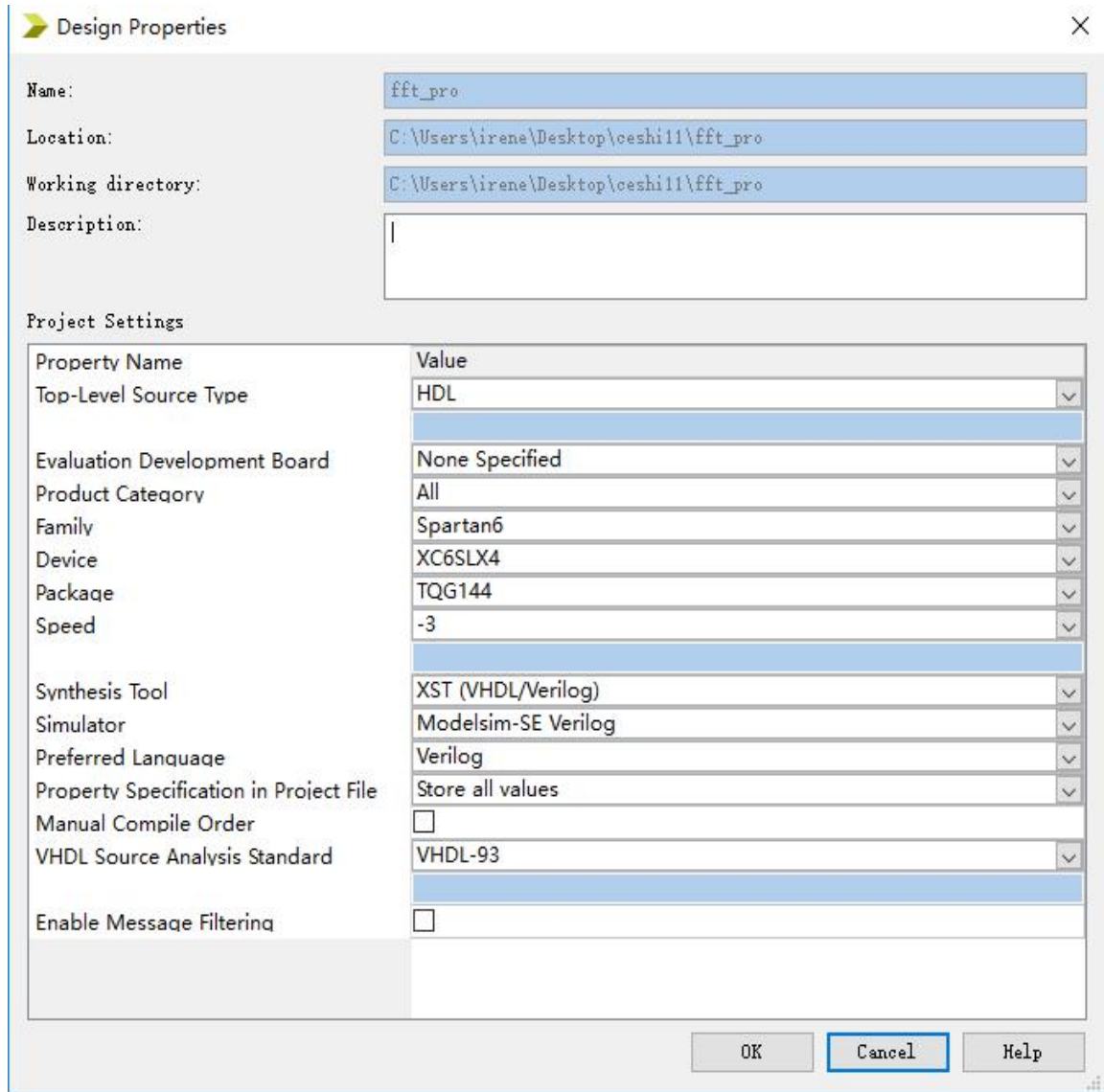


点击“design properties”

明德扬至



simulator 选择 modelsim-SE Verilog



点击“OK”，至此，Xilinx 仿真库编译完毕。